



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0151456
(43) 공개일자 2021년12월14일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 33/00 (2010.01) H01L 21/3065 (2006.01)</p> <p>(52) CPC특허분류
H01L 33/005 (2013.01)
H01L 21/3065 (2013.01)</p> <p>(21) 출원번호 10-2020-0068317
(22) 출원일자 2020년06월05일
심사청구일자 2020년06월05일</p> | <p>(71) 출원인
성균관대학교산학협력단
경기도 수원시 장안구 서부로 2066 (천천동, 성균관대학교내)</p> <p>(72) 발명자
염근영
서울특별시 송파구 중대로 24, 203동 106호(문정동, 올림픽웨이빌리타운)
김동우
서울특별시 강남구 압구정로 321, 10동 605호(압구정동, 한양아파트)
(뒷면에 계속)</p> <p>(74) 대리인
남건필, 박종수, 차상윤</p> |
|---|--|

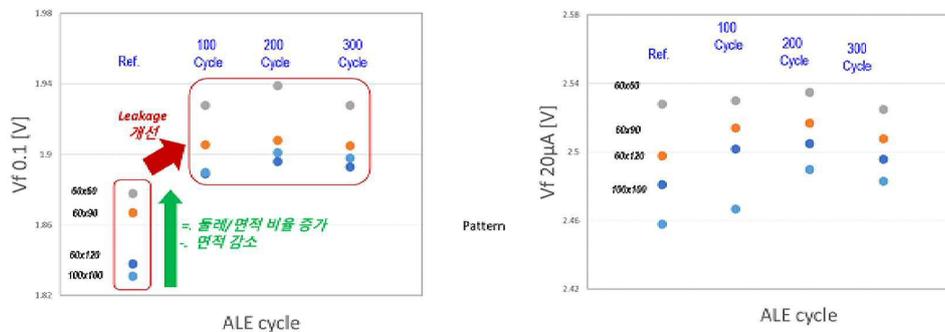
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 반도체 발광소자 및 이의 제조 방법

(57) 요약

반도체 발광소자의 제조 방법이 개시된다. 반도체 발광소자의 제조 방법은 순차적으로 적층된 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 반도체 구조물을 형성하는 제1 단계; 및 상기 제2 도전형 반도체층 및 상기 활성층의 일부를 제거하여 메사 구조를 형성하는 제2 단계;를 포함하고, 상기 제2 단계는, 플라즈마 식각 공정으로 상기 제2 도전형 반도체층 및 상기 활성층의 일부를 식각하여 상기 메사 구조를 형성하는 단계; 및 상기 플라즈마 식각 공정에 의해 형성된 상기 메사 구조의 면에 대해 원자층 식각 공정(Atomic Layer Etching)을 수행하는 단계를 포함한다.

대표도 - 도2



(72) 발명자

성연준

경기도 용인시 수지구 진산로 90, 511동 602호(풍덕천동, 진산마을삼성래미안5차아파트)

김두산

경기도 수원시 장안구 화산로 85, 129동 302호(천천동, 천천 푸르지오)

김주은

경기도 수원시 장안구 일월로76번길 1-6(천천동)

길유정

서울특별시 양천구 목동중앙로13나길 55, 13동 102호(목동, 세림빌리지)

장윤중

서울특별시 강남구 삼성로 150, 101동 1203호(대치동, 한보미도맨션)

김예은

경기도 용인시 수지구 광교마을로 90, 4102동 1706호(상현동, 광교마을휴먼시아41단지)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415163585
과제번호	20003588
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	소재부품산업미래성장동력(R&D)
연구과제명	5nm 이하급 수직 트랜지스터 구조를 위한 저손상의 원자층 식각 공정 및 응용기술
개발	
기여율	1/1
과제수행기관명	대전대학교산학협력단
연구기간	2019.04.01 ~ 2021.06.30

명세서

청구범위

청구항 1

순차적으로 적층된 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 반도체 구조물을 형성하는 제1 단계; 및

상기 제2 도전형 반도체층 및 상기 활성층의 일부를 제거하여 메사 구조를 형성하는 제2 단계;를 포함하고,

상기 제2 단계는,

플라즈마 식각 공정으로 상기 제2 도전형 반도체층 및 상기 활성층의 일부를 식각하여 상기 메사 구조를 형성하는 단계; 및

상기 플라즈마 식각 공정에 의해 형성된 상기 메사 구조의 면에 대해 원자층 식각 공정(Atomic Layer Etching)을 수행하는 단계를 포함하는 것을 특징으로 하는, 반도체 발광소자의 제조방법.

청구항 2

제1 항에 있어서,

상기 원자층 식각 공정은 이온빔, 중성빔 및 전자빔 중 하나의 리모트(remote) 식각 소스를 이용하는 건식 식각 공정인 것을 특징으로 하는, 반도체 발광소자의 제조방법.

청구항 3

제2 항에 있어서,

상기 원자층 식각 공정에서는,

상기 반도체 구조물의 표면에 화학적으로 흡착되는 제1 기체를 이용하여 상기 반도체 구조물의 표면에 흡착층을 형성하는 제1 공정; 및 상기 식각 소스를 생성하는 제2 기체를 이용하여 상기 흡착층 중 일부 및 상기 반도체 구조물을 식각하는 제2 공정으로 이루어진 사이클이 반복적으로 수행되는 것을 특징으로 하는, 반도체 발광소자의 제조방법.

청구항 4

제3 항에 있어서,

상기 제1 기체는 할로젠 원소를 하나 이상 포함하고,

상기 제2 기체는 할로젠 원소 및 불활성 기체로 이루어진 그룹에서 선택된 하나 이상을 포함하는 것을 특징으로 하는, 반도체 발광소자의 제조방법.

청구항 5

제3항에 있어서,

상기 원자층 식각 공정은,

상기 식각 소스를 발생시키는 제1 챔버, 상기 반도체 구조물이 배치되는 제2 챔버 및 상기 제1 챔버로부터 상기 식각 소스를 추출하여 상기 제2 챔버 내의 상기 반도체 구조물에 조사하는 식각 소스 추출기를 구비하는 리모트 식각 장치를 이용하여 수행되는 것을 특징으로 하는, 반도체 발광소자의 제조방법.

청구항 6

제5항에 있어서,

상기 식각 소스는 상기 제2 도전형 반도체층의 표면에 대해 20° 이상 70° 이하의 각도로 경사지게 조사되는

것을 특징으로 하는, 반도체 발광소자의 제조방법.

청구항 7

제5 항에 있어서,

상기 메사 구조는 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)이 0.05 이상 0.080 μm^{-1} 이하가 되도록 형성되는 것을 특징으로 하는, 반도체 발광소자의 제조방법.

청구항 8

제1 도전형 반도체층, 상기 제1 도전형 반도체 상부에 배치된 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치된 활성층을 구비하고, 메사 구조를 갖는 반도체 구조물을 포함하고,

상기 반도체 구조물은 1uA의 비발광 전류 및 20uA의 발광 전류를 상기 반도체 구조물에 인가한 경우 제1 동작 전압 및 제2 동작 전압 특성들을 각각 나타내고,

상기 메사 구조 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)이 0.05 이상 0.080 μm^{-1} 이하이며,

상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)은 0.855 V/V 이상 1.000 V/V이하인 것을 특징으로 하는, 반도체 발광소자.

청구항 9

제8항에 있어서,

상기 메사 구조의 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)은 0.05 이상 0.080 μm^{-1} 이하인 것을 특징으로 하는, 반도체 발광소자.

청구항 10

제8항에 있어서,

상기 메사 구조의 상부면은 제1 모서리 및 이와 수직한 제2 모서리를 갖는 직사각형 형상을 갖고,

상기 제1 모서리의 길이와 상기 제2 모서리의 길이의 비는 1:1을 초과하고, 1:10 이하인, 반도체 발광소자.

청구항 11

제8항에 있어서,

상기 복수의 전극은 게이트 전극, 소스 전극, 드레인 전극을 포함하고,

상기 반도체 구조물에 인가하는 전류는 상기 드레인 전극과 상기 소스 전극을 통해 인가한 전류인 반도체 발광소자.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 발광소자 및 이의 제조 방법에 관한 것으로, 더욱 상세하게는, 원자층 식각 공정(Atomic Layer Etching)을 이용해서 식각 과정 중 발생하는 표면식각손상으로 인한 누설전류를 제거 또는 최소화하여, 더욱 우수한 전압특성을 갖는 반도체 발광소자 및 이의 제조 방법에 관한 것이다.

배경 기술

[0003] 일반적으로, 반도체의 패턴 즉, 메사(mesa) 구조를 구체적으로 형성하기 위한 공정으로는, 건식 식각, 특히, 플

라즈마를 이용한 건식 식각이 사용되고, 이들 건식 식각은, 이방성 특징에 의해 Undercut이 생성되지 않아 반도체 등의 미세공정에 적합하다. 구체적으로, 상기 플라즈마 건식 식각으로는, 자기장을 이용하여 유도 전기장을 형성하는 방식으로 고밀도 플라즈마를 형성하는 유도 결합 플라즈마(Induced Coupled Plasma: ICP)를 이용한 식각이 대표적으로 사용되어왔다.

[0004] 하지만, 현재 보편적으로 이용되는 ICP 식각은 플라즈마 이온 자체가 함유한 에너지에 의해, 및 낮은 선택성에 의해, 식각 부위에 표면식각손상을 발생시켜 손상부위가 전류의 경로 역할을 하게 되어 누설전류의 값이 증가하는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 목적은 원자층 식각 공정(Atomic Layer Etching)을 이용하여 누설전류가 제거 또는 최소화된 반도체 발광소자 제조 방법을 제공하는 것이다.

[0007] 본 발명의 일 목적은 상기의 반도체 발광 발광소자 제조 방법으로 제조되는 반도체 발광소자를 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 일 양태에 따르면, 순차적으로 적층된 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 반도체 구조물을 형성하는 제1 단계; 및 상기 제2 도전형 반도체층 및 상기 활성층의 일부를 제거하여 메사 구조를 형성하는 제2 단계;를 포함하고,

[0010] 상기 제2 단계는, 플라즈마 식각 공정으로 상기 제2 도전형 반도체층 및 상기 활성층의 일부를 식각하여 상기 메사 구조를 형성하는 단계; 및 상기 플라즈마 식각 공정에 의해 형성된 상기 메사 구조의 면에 대해 원자층 식각 공정(Atomic Layer Etching)을 수행하는 단계를 포함하는 것을 특징으로 하는,

[0011] 반도체 발광소자의 제조방법이 제공된다.

[0013] 본 발명의 일 구현예에 따르면, 상기 원자층 식각 공정은 이온빔, 중성빔 및 전자빔 중 하나의 리모트(remote) 식각 소스를 이용하는 건식 식각 공정인 것을 특징으로 한다.

[0014] 본 발명의 일 구현예에 따르면, 상기 원자층 식각 공정에서는, 상기 반도체 구조물의 표면에 화학적으로 흡착되는 제1 기체를 이용하여 상기 반도체 구조물의 표면에 흡착층을 형성하는 제1 공정; 및 상기 식각 소스를 생성하는 제2 기체를 이용하여 상기 흡착층 중 일부 및 상기 반도체 구조물을 식각하는 제2 공정으로 이루어진 사이클이 반복적으로 수행되는 것을 특징으로 한다.

[0015] 본 발명의 일 구현예에 따르면, 상기 제1 기체는 할로젠 원소를 하나 이상 포함하고, 상기 제2 기체는 할로젠 원소 및 불활성 기체로 이루어진 그룹에서 선택된 하나 이상을 포함하는 것을 특징으로 한다.

[0016] 본 발명의 일 구현예에 따르면, 상기 원자층 식각 공정은, 상기 식각 소스를 발생시키는 제1 챔버, 상기 반도체 구조물이 배치되는 제2 챔버 및 상기 제1 챔버로부터 상기 식각 소스를 추출하여 상기 제2 챔버 내의 상기 반도체 구조물에 조사하는 식각 소스 추출기를 구비하는 리모트 식각 장치를 이용하여 수행되는 것을 특징으로 한다.

[0017] 본 발명의 일 구현예에 따르면, 상기 식각 소스는 상기 제2 도전형 반도체층의 표면에 대해 20° 이상 70° 이하의 각도로 경사지게 조사되는 것을 특징으로 한다.

[0018] 본 발명의 일 구현예에 따르면, 상기 메사 구조는 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)이 0.05 이상 0.080 μm^{-1} 이하가 되도록 형성되는 것을 특징으로 한다.

- [0020] 본 발명의 일 양태에 따르면, 제1 도전형 반도체층, 상기 제1 도전형 반도체 상부에 배치된 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치된 활성층을 구비하고, 메사 구조를 갖는 반도체 구조물을 포함하고,
- [0021] 상기 반도체 구조물은 1uA의 비발광 전류 및 20uA의 발광 전류를 인가한 경우 제1 동작 상기 반도체 구조물에 인가하였을 때 상기 반도체 구조물에 인가한 경우 제1 동작 전압 및 제2 동작 전압 특성들을 각각 나타내고,
- [0022] 상기 메사 구조 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)이 0.05 이상 0.080 μm^{-1} 이하이며,
- [0023] 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)은 0.855 V/V 이상 1.000 V/V이하인 것을 특징으로 하는,
- [0024] 반도체 발광소자가 제공된다.
- [0026] 본 발명의 일 구현예에 따르면, 상기 메사 구조의 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)은 0.05 이상 0.080 μm^{-1} 이하인 것을 특징으로 한다.
- [0027] 본 발명의 일 구현예에 따르면, 상기 메사 구조의 상부면은 제1 모서리 및 이와 수직한 제2 모서리를 갖는 직사각형 형상을 갖고, 상기 제1 모서리의 길이와 상기 제2 모서리의 길이의 비는 1:1을 초과하고, 1:10 이하일 수 있다.
- [0028] 본 발명의 일 구현예에 따르면, 상기 복수의 전극은 게이트 전극, 소스 전극, 드레인 전극을 포함하고, 상기 반도체 구조물에 인가하는 전류는 상기 드레인 전극과 상기 소스 전극을 통해 인가한 전류일 수 있다.

발명의 효과

- [0030] 본 발명에 따르면, 기존의 플라즈마 식각 공정에 추가로 원자층 식각 공정(Atomic Layer Etching)을 이용하여 기존의 공정에 의해 발생하던 반도체 발광소자 표면의 손상을 줄일 수 있다.
- [0031] 따라서, 반도체 발광소자 표면의 손상으로부터 발생하는 누설전류가 제거 또는 최소화되어, 본 발명의 제조 방법을 이용하여 제조된 반도체 발광소자는 기존의 반도체 발광소자보다 우수한 전압특성을 보인다. 또한, 반도체 발광소자 표면의 손상은 누설전류로 인해 반도체의 결함을 더욱 가속시켜 반도체 발광소자의 열화(degradation)를 유발하는데, 본 발명의 반도체 발광소자 제조 방법은 반도체 발광소자의 누설전류를 제거 또는 최소화하여 반도체 발광소자의 신뢰성을 향상시킨다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 반도체 발광소자가 갖는 구조를 개략적으로 도시한다.
 도 2는 원자층 식각 공정(Atomic Layer Etching)의 사이클 수에 따른, 비발광 전류인 VF0.1uA에서의 제1 전압 특성 및 발광 전류인 VF20uA에서의 제2 전압 특성을 나타내는 그래프를 도시한다.
 도 3은 메사 구조 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)인, 둘레/면적에 따른 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA) 그래프를 도시한다.
 도 4는 제2 도전형 반도체층 표면으로의 식각 소스 조사 각도에 따른 식각 비율을 나타내는 그래프를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 본 발명의 실시예에 대해 상세히 설명한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0035] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의

해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0036] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 또는 "함유" 한다고 할 때, 이는 특별히 달리 정의되지 않는 한, 다른 구성 요소를 더 포함할 수 있다는 것을 의미한다. 또한, 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0037] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있으며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0038] 이하, 본 발명이 개시하는 원자층 식각 공정(Atomic Layer Etching)을 이용하는 반도체 발광소자의 제조 방법을, 본 발명의 도면을 참조하여 보다 상세하게 설명한다

[0040] <반도체 발광소자의 제조 방법>

[0041] 본 발명의 일 실시예에 따른 반도체 발광소자의 제조방법은 순차적으로 적층된 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 반도체 구조물을 형성하는 제1 단계; 및 상기 제2 도전형 반도체층 및 상기 활성층의 일부를 제거하여 메사 구조를 형성하는 제2 단계;를 포함하고, 상기 제2 단계는, 플라즈마 식각 공정으로 상기 제2 도전형 반도체층 및 상기 활성층의 일부를 식각하여 상기 메사 구조를 형성하는 단계; 및 상기 플라즈마 식각 공정에 의해 형성된 상기 메사 구조의 면에 대해 원자층 식각 공정(Atomic Layer Etching)을 수행하는 단계를 포함할 수 있다.

[0043] 먼저, 순차적으로 적층된 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 반도체 구조물에 대해 설명한다.

[0044] 상기 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층은 순차적으로 적층되도록 형성될 수 있다.

[0045] 제1 도전형 반도체층은 P형 반도체층 또는 N형 반도체층 중 어느 하나일 수 있고, 제2 도전형 반도체층은 상기 제1 도전형 반도체층과 다른 타입의 반도체층일 수 있다.

[0046] 상기 활성층은, 예시로서, GaN기반의 화합물로 이루어질 수 있고, 구체적으로 GaN, AlN, InN, AlGaIn, 및 InGaIn로 이루어지는 군에서 선택될 수 있다.

[0047] 다음으로, 상기 제2 도전형 반도체층 및 상기 활성층의 일부가 제거되어 형성된 메사 구조에 대해 설명한다.

[0048] 메사(MESA)란 꼭대기가 평평하고 주위가 급경사를 이룬 탁자 모양의 지형을 의미한다. 반도체 분야에서의 메사 구조는, 구조에 따른 반도체 소자의 분류 유형 중 하나로써, 상기 두 도전형 반도체층의 PN접합부가 탁자 모양을 형성하는 것이며 고전력용 소자에 많이 사용된다. 이러한 메사 구조를 형성하기 위해서는, 하부에 위치한 도전형 반도체층을 제외하고, 상부에 위치한 도전형 반도체층 및 활성층의 일부를 제거하는 공정이 필요하다. 그러나, LED 구조 내 메사면에서 활성층이 외부로 노출되게 되고, 노출된 계면은 표면 재결합 등에 의해 반도체 발광소자 누설전류의 요인이 된다.

[0049] 다음으로, 상기 제2 단계의, 플라즈마 식각 공정으로 상기 제2 도전형 반도체층 및 상기 활성층의 일부를 식각하여 상기 메사 구조를 형성하는 단계; 및 상기 플라즈마 식각 공정에 의해 형성된 상기 메사 구조의 면에 대해 원자층 식각 공정(Atomic Layer Etching)을 수행하는 단계에 대해 설명한다.

[0050] 상기 플라즈마 식각 공정은, 메사 구조를 형성하기 위해 사용되는 가장 일반적인 방법 중 하나이다. 이는 대표적인 두 종류의 식각인 건식 식각, 습식 식각 중 건식 식각에 해당하고, 낮은 압력에서 방사되는 형태의 플라즈마를 사용하여 이방성으로 반도체 구조물을 식각할 수 있다. 플라즈마 식각 공정으로는 반응성 이온 식각(RIE, Reactive ion etch), 유도 결합 플라즈마 (Induced Coupled Plasma: ICP) 식각, 전자 사이클론 공명 플라즈마 (ECR: Electron cyclotron resonance) 식각, 고밀도 플라즈마 (HDP: High density plasma) 식각 등이 사용된다.

[0051] 상기 원자층 식각 공정(Atomic Layer Etching)은, 현재 가장 주목받고 있는 식각 공정으로서, 물질의 초박형층 즉, 원자층을 식각/제거할 수 있다. 이는 식각 공정을 원자 수준으로 제어할 수 있어 기존의 식각 공정에 비해

훨씬 정밀한 식각이 가능하며, 기초 물질을 제거하지 않고 표적 물질만을 선택적으로 제거하는데 훨씬 우수하다.

- [0052] 상기 원자층 식각 공정은, 구체적으로, 상기 반도체 구조물의 표면에 화학적으로 흡착되는 제1 기체를 이용하여 상기 반도체 구조물의 표면에 흡착층을 형성하는 제1 공정; 및 상기 식각 소스를 생성하는 제2 기체를 이용하여 상기 흡착층 중 일부 및 상기 반도체 구조물을 식각하는 제2 공정으로 이루어진 사이클이 반복적으로 수행되는 공정이다.
- [0053] 여기서, 상기 제1 기체는 할로젠 원소를 하나 이상 포함하고, 구체적으로는, F, Cl, Br 원소 중 적어도 하나 이상 포함할 수 있다. 예를 들어, 할로젠 원소를 하나 이상 포함하는 상기 제1 기체는, HF, NF₃, Cl₂, HCl, SF₆, HBr, CF₄, BC₁₃, C₃F₈, SiF₄, C₂F₈ 등일 수 있고, 특히, 플루오린화 수소(HF, hydrogen fluoride)일 수 있다.
- [0054] 상기 제2 기체는 할로젠 원소 및 불활성 기체로 이루어진 그룹에서 선택된 하나 이상을 포함할 수 있고, 구체적으로는, Ar, Kr, Ne 원소 중 적어도 하나 이상 포함할 수 있다. 예를 들어, 할로젠 원소 및 불활성 기체로 이루어진 그룹에서 선택되는 상기 제2 기체는, 아르곤(Ar)일 수 있다.
- [0055] 상기 원자층 식각 공정은, 상기 식각 소스를 발생시키는 제1 챔버, 상기 반도체 구조물이 배치되는 제2 챔버 및 상기 제1 챔버로부터 상기 식각 소스를 추출하여 상기 제2 챔버 내의 상기 반도체 구조물에 조사하는 식각 소스 추출기를 구비하는 리모트 식각 장치를 이용하여 수행될 수 있다.
- [0056] 여기서, 상기 리모트 식각(Remote etching)은, 원거리 플라즈마 식각이라고도 하며, 플라즈마를 생성하여 식각 소스를 발생시키는 제1 챔버와 실질적으로 반도체 식각이 일어나는 제2 챔버 및 상기 제1 챔버로부터 식각 소스만을 추출하여 상기 제2 챔버의 반도체 구조물에 조사하도록 기능하는 식각 소스 추출기로 구성되어 있다. 상기 리모트 식각 장치는, 플라즈마의 생성 위치와 식각 공정이 일어나는 위치를 각각 별도의 챔버로 분리하여, 식각 소스를 제외한 나머지 전자, 이온 또는 자외선 등이 반도체 구조물에 도달하는 것을 방지하여 이들로 인한 소자의 손상을 줄이는데 효과적이다.
- [0057] 상기 원자층 식각 공정은, 이온빔, 중성빔 및 전자빔 중 하나의 리모트(remote) 식각 소스를 이용하는 것을 특징으로 한다.
- [0058] 플라즈마는, 자기장의 방전 과정을 통해 부분적으로 이온화된 기체이며, 중성 분자와 이로부터 분리된 이온 및 전자, 3가지 형태를 모두 포함하는 형태를 갖는다. 상기 원자층 식각 공정에 이용하는 식각 소스로는, 플라즈마의 3가지 형태인 이온빔, 중성빔 및 전자빔이 전부 활용될 수 있으며, 이들 중 하나의 형태를 선택하여 식각 공정을 진행할 수 있다.
- [0059] 상기 식각 소스는 상기 제2 도전형 반도체층의 표면에 대해 약 20° 이상 70° 이하의 각도로 경사지게 조사될 수 있다.
- [0060] 상기 식각 소스의 조사 각도는 식각 비율에 영향을 미치는 중요한 요소이며, 첨부된 [도 4]에 도시된 것과 같이 식각 소스의 조사 각도에 따라 식각 비율이 달라지는 것이 개시되어 있다. 상기 식각 소스의 조사 각도가 20° 미만일 때는, 식각 비율이 일정치 못하고 급격하게 감소하는 것을 확인할 수 있다. 반면, 상기 식각 소스의 조사 각도가 70° 초과일 때는, 식각 비율이 일정치 못하고 급격하게 상승하는 것을 확인할 수 있다. 이들은 식각 공정의 결과물이 과도하거나 부족한, 일정치 않은 식각 비율을 가지게 만들고, 반도체 구조물의 메사 구조 형성에 불리한 영향을 끼친다. 첨부된 [도 4]에 도시된 것과 같이, 식각 소스가 상기 제2 도전형 반도체층의 표면에 대해 20° 이상 70° 이하의 각도로 경사지게 조사될 때, 식각 공정의 결과물은 0.6 이상 0.9 이하의 일정한 식각 비율을 가질 수 있다.
- [0062] 본 발명의 일 실시예에 따른 반도체 발광소자는, 제1 도전형 반도체층, 상기 제1 도전형 반도체 상부에 배치된 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치된 활성층을 구비하고, 메사 구조를 갖는 반도체 구조물을 포함하고, 상기 반도체 구조물은 1uA의 비발광 전류 및 20uA의 발광 전류를 상기 반도체 구조물에 인가한 경우 제1 동작 전압 및 제2 동작 전압 특성들을 각각 나타내고, 상기 메사 구조 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)이 0.05 이상 0.080 μm⁻¹ 이하이며, 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)은 0.855 V/V 이상 1.000 V/V이하일 수 있다.
- [0063] 먼저, 상기 반도체 구조물의 제1 동작 전압 및 제2 동작 전압 특성에 대해 설명한다.

[0064] 상기 반도체 구조물에 1uA의 비발광 전류를 인가하였을 때 상기 반도체 구조물이 갖게 되는 것이 제1 동작 전압이고, 여기서 제1 동작 전압은, 상기 반도체 구조물이 광을 방출하지 않는 비발광 전류 이하의 전압 중 가장 큰 전압이다. 반면, 상기 반도체 구조물에 20uA의 발광 전류를 인가하였을 때 상기 반도체 구조물이 갖게 되는 것이 제2 동작 전압이고, 여기서 제2 동작 전압은, 상기 반도체 구조물이 광을 방출하는 발광 전류에 대한 전압이다.

[0065] 이들 동작 전압은, 반도체 발광소자의 성능을 평가할 수 있는 지표 중 하나이고, 이들을 통해서 본 발명이 개시하고 있는 식각 공정의 효과를 나타낼 수 있다.

[0066] [도 2]에서는, 반도체 구조물을 식각하기 위한 원자층 식각 공정(Atomic Layer Etching)의 사이클 수에 따른, 제1 동작 전압 및 제2 동작 전압의 값을 도시한다. [도 2]의 그래프를 도출하기 위해 사용한 예시로서, [도 2]에서 사용된 비발광 전류는 0.1uA이고, [도 2]에서 사용된 발광 전류는 20uA이고, [도 2]에서 사용된 반도체 구조물의 메사 구조 상부면 크기는 60*60 μm^2 , 60*90 μm^2 , 60*120 μm^2 및 100*100 μm^2 이다.

[0067] [도 2]에서 보여진 것과 같이, 특히 비발광 전류의 경우, 원자층 식각 공정(Atomic Layer Etching)을 적용하였을 때, 해당 공정을 적용하지 않은 샘플에 비해 현저한 전압 특성의 개선(VF0.1uA 그래프에서 적색 화살표로 표시됨)을 보여준다. 이는, 원자층 식각 공정(Atomic Layer Etching)이, 기존의 식각 공정에 비해 제1 전압 특성이 우수하다는 것 즉, 비발광 전류에서의 전압 상승 비율이 크다는 것을 의미하고, 이는 반도체 발광소자의 신뢰성 개선 및 광출력 개선으로 이어진다.

[0068] 아래의 [표 1]은, 상기 반도체 구조물의 메사 구조 상부면 크기에 따른 제1 동작 전압([표 1]에서는 VF1uA, 제2 동작 전압을 보여준다. 아래의 표에서 알 수 있는 것과 같이, 원자층 식각 공정(Atomic Layer Etching)을 적용한 경우, 상부면의 모든 크기에서, 기존의 공정으로만 식각을 진행한 샘플(Ref.)에 비해 더욱 높은 전압 특성을 갖는다.

[0069] [표 1]

Pattern	둘레 [um]	면적 [um ²]	둘레/면적	Vf [at 20uA] (동작전압)		Vf [at 1uA]	
				ALE200	Ref.	ALE200	REF
60x120	360	7,200	5.00E-02	2.502	2.496	2.152	2.096
60x90	300	5,400	5.56E-02	2.514	2.508	2.176	2.125
60x60	240	3,600	6.67E-02	2.53	2.525	2.194	2.15
80x80	320	6,400	5.00E-02	2.504	2.498	2.169	2.116
100*100	400	10,000	4.00E-02	2.467	2.483	2.14	2.073

[0070]

[0071] 다음으로, 상기 메사 구조 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)에 대해 설명한다.

[0072] 상기 메사 구조는 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)이 0.05 이상 0.080 μm^{-1} 이하가 되도록 형성되는 것을 특징으로 한다.

[0073] [도 3]에서는, 메사 구조 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)인, 둘레/면적에 따른 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA) 그래프를 도시한다. 메사 구조 상부면의 외곽 모서리 길이(L)에 대한 면적(A)의 비율(L/A)은, 칩의 크기를 나타내는 지표로써, 상기 비율이 커질수록 칩의 크기가 감소하는 것을 의미한다.

[0074] [도 3]에서 보여진 것과 같이, 메사 구조 상부면의 둘레/면적이 증가할수록, 즉, 칩의 크기가 감소할수록, 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)은 원자층 식각 공정(Atomic Layer Etching)의 적용 여부에 상관없이 상승한다. 이는 본 발명의 원자층 식각 공정(Atomic Layer Etching)이 작은 사이즈의 칩에 더욱 유용하게 작용한다.

[0075] 아래의 [표 2]는, [도 3]의 그래프를 표로써 정리한 것이다. 아래의 표를 통해, 메사 구조로 구성되는 패턴의 크기가 작을수록 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)이 감소한다. 추가로, 80*80과 동일 둘레/면적을 가지지만 패턴의 일 측의 길이가 120으로 커질 경우, 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)이 감소한다.

[0076] [표 2]

Pattern size	둘레/면적	비율 (VF1uA/VF20uA)	
		REF	ALE200
100*100	0.040	0.8434	0.8594
80x80	0.050	0.8508	0.8652
60x120	0.050	0.8448	0.8591
60x90	0.056	0.8507	0.8645
60x60	0.067	0.8505	0.8655

[0077]

[0078] 다음으로, 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)에 대해 설명한다.

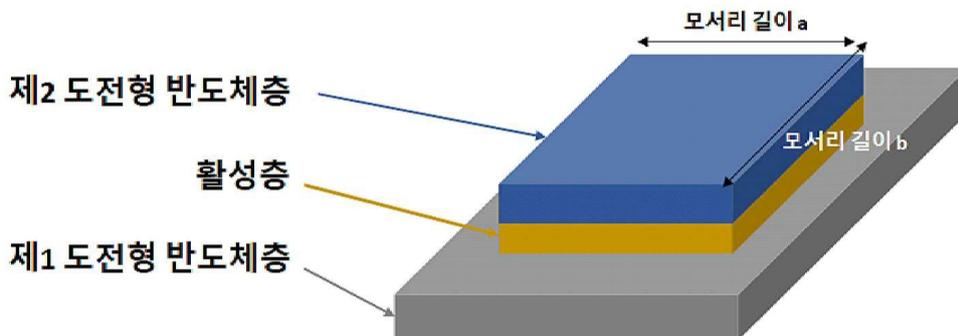
[0079] 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)은 0.855 V/V 이상 1.000 V/V이하인 것을 특징으로 한다.

[0080] 상기 [표 2]에서 추가로 확인할 수 있는 것과 같이, 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)은, 원자층 식각 공정(Atomic Layer Etching)을 적용하지 않은 실시예 전부의 경우에서 0.851V/V 미만의 값을 나타냈고, 원자층 식각 공정(Atomic Layer Etching)을 200 사이클 적용한 실시예 전부의 경우에서 0.859 V/V 초과 값을 나타냈다. 따라서, 상기 제1 동작 전압에 대한 상기 제2 동작 전압의 비율(VF1uA/VF20uA)은 원자층 식각 공정(Atomic Layer Etching)을 적용함으로써 적용하지 않은 반도체 발광소자보다 전체적으로 향상된 전압 특성을 갖는다.

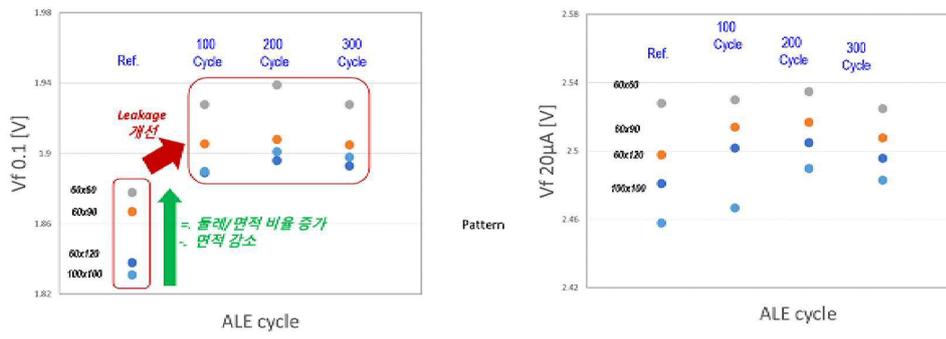
[0081] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

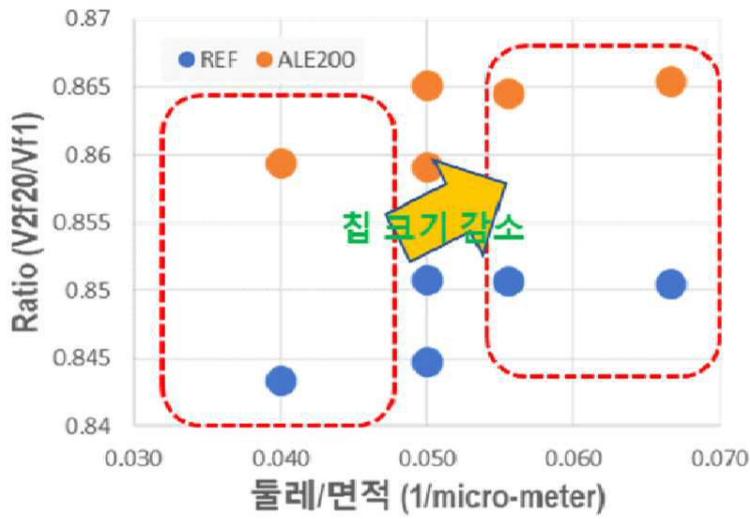
도면1



도면2



도면3



도면4

