

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/10

(11) 공개번호 10-2005-0075872
(43) 공개일자 2005년07월25일

(21) 출원번호	10-2004-0003237
(22) 출원일자	2004년01월16일
(71) 출원인	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	황순원 경기도수원시장안구화서동686-8301 송이현 경기도성남시분당구수내동(푸른마을)쌍용아파트509동703호 염근영 서울특별시송파구문정동훼미리아파트203동106호 정석재 경기도성남시분당구매송동아름마을풍림아파트516동1202호
(74) 대리인	이영필, 이해영

심사청구 : 있음

(54) 발명의 명칭 **컨택홀이 없는 나노 크기의 자기터널접합 셀 형성 방법**

요약

본 발명은 컨택홀을 형성하지 않고 MTJ 셀 내에 컨택을 형성함으로써 나노 크기의 MTJ 셀을 형성할 수 있는 방법에 관한 것이다. 본 발명에 따른 컨택홀이 없는 나노 크기의 MTJ 셀을 형성하는 방법은, 반도체 기판 위에 MTJ 층을 적층하는 제 1 단계; 상기 MTJ 층을 소정의 깊이로 식각하여 MTJ 셀 형성 영역을 형성하는 제 2 단계; 상기 MTJ 층 표면 전체에 절연층과 마스크층을 차례로 도포하는 제 3 단계; 상기 MTJ 셀 형성 영역이 드러날 때까지 상기 마스크층과 절연층을 식각하는 제 4 단계; 및 상기 절연층과 MTJ 층 표면 전체에 금속층을 증착하는 제 5 단계를 포함하는 것을 특징으로 한다.

본 발명에 따르면, 지금까지 불가능했던 100nm 급의 MTJ 셀의 제조가 가능하며, 저항이 낮은 컨택을 형성할 수 있다.

대표도

도3

색인어

비휘발성 메모리, MRAM, TMR, MTJ, 컨택, 컨택홀, 하드 마스크, 드라이 에칭

명세서

도면의 간단한 설명

도 1은 MTJ 소자의 구성 및 MTJ 소자에 의한 정보 기록의 원리를 설명한다.
도 2는 MTJ 셀을 형성하는 일반적인 방법을 순차적으로 도시한다.

[0001]

도 3은 본 발명에 따른 MTJ 셀을 도시하는 단면도이다.
 도 4는 본 발명에 따른 MTJ 셀의 제조 방법을 순차적으로 도시한다.
 도 5는 MTJ 셀의 일반적인 내부 구조를 예시적으로 도시한다.

※ 도면의 주요 부분에 대한 부호의 설명 ※

- 10.....기판
- 20.....MTJ 층
- 21.....베이스층
- 22.....하부 물질막
- 23.....절연막
- 24.....상부 물질막
- 25.....캡층
- 30.....하드 마스크
- 32.....포토 레지스트
- 35.....마스크층
- 40.....절연층
- 50.....금속층
- 60.....컨택홀
- 100,300...강자성층
- 200.....터널 배리어

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

- [0002] 본 발명은 컨택홀이 없는 나노 크기의 MTJ 셀 형성 방법에 관한 것으로, 보다 상세하게는, 컨택홀을 형성하지 않고 MTJ 셀 내에 컨택을 형성함으로써 나노 크기의 MTJ 셀을 형성할 수 있는 방법에 관한 것이다.
- [0003] 플래시 메모리는 비휘발성 메모리(nonvolatile memory)로서, 휘발성 메모리와는 달리 메모리에 전원이 끊어지더라도 메모리에 기록된 데이터가 손실없이 그대로 보존된다는 장점이 있지만, 데이터를 기록할 때의 속도가 일반 DRAM보다 무려 1000배정도 느릴 뿐만 아니라 기록시의 전력소모도 상당히 많다는 단점이 있다. 또한, 데이터의 수정 횟수에도 어느 정도 제한이 있는 것으로 알려져 있다. 때문에, 일반적인 DRAM과 플래시 메모리의 장점, 즉, 읽고 쓰는 속도가 빠르고 소비전력이 적으면서도 전원이 끊어져도 자료를 그대로 가지고 있는 메모리가 꾸준히 연구되어 왔는데, 그 결과 개발된 비휘발성 메모리로는 FeRAM, 오보닉 통합 메모리(Ovonic Unified Memory; OUM), MRAM 등이 있다.
- [0004] 여기서, MRAM은 자기 랜덤 액세스 메모리(Magnetic Random Access Memory)의 약자로서, 터널형 자기 저항(Tunneling Magneto Resistance) 효과에 의해 정보를 기억하는 자기터널접합(Magnetic Tunnel Junction; MTJ) 소자를 이용하여 메모리 셀을 구성하는 비휘발성 메모리소자이다. MTJ 소자는 도 1에 도시한 바와 같이 2개의 강자성층(100,300)에 의해 절연층(터널 배리어)(200)을 끼운 구조를 갖는다. MTJ 소자에 기억되는 정보는 2개의 자성층(100,300)의 자화 방향이 평행한지 또는 반평행한지에 따라 결정된다. 즉, 도 1(a)에 도시한 바와 같이, 2개의 강자성층의 자화 방향이 평행해진 경우, 상기 강자성층(100,300)들 사이에 있는 절연층(터널 배리어)(200)의 터널 저항이 가장 낮아지면서, 예컨대, "1" 상태가 되고, 도 1(b)에 도시한 바와 같이, 2개의 강자성층(100,300)의 자화 방향이 반평행해진 경우, 상기 강자성층들 사이에 있는 절연층(200)의 터널 저항이 높아지면서, 예컨대, "0" 상태가 된다. 이러한 MTJ 소자의 독특한 성질을 이용하면, MTJ 소자를 메모리 셀로서 기능을 하게 할 수 있다. 이하에서는 편의상, MTJ 소자를 이용하는 메모리 셀을 MTJ 셀이라 부르기로 한다.
- [0005] 도 2는 이러한 MTJ 셀을 형성하는 일반적인 방법을 순차적으로 도시한다.
- [0006] 먼저, 도 2(a)에 도시된 것처럼, 기판(10) 위에 MTJ층(20)을 형성하고, 상기 MTJ 층(20) 위에 다시 하드 마스크(Hard Mask)(30) 층을 형성한다. 그런 다음, MTJ 셀이 형성될 상기 하드 마스크(30) 위의 영역에 포토 레지스트(32)를 적층한 후, 드라이 에칭 방법으로 MTJ 셀 형성 영역 부분 이외의 하드 마스크(30)를 식각한다. 그러면, 도 2(b)와 같은 형태가 된다.
- [0007] 다음으로, 드라이 에칭 방법을 통해 잔여 하드 마스크(30) 층과 MTJ 층(20)의 일부를 식각하고(도 2(c)), 그 위에 절연층(40)을 증착한다(도 2(d)). 이렇게 절연층(40)이 증착되면, 컨택홀(60)의 형성을 위해 상기 절연층(40) 위에 마스크층(35)을 도포하고 Kr 스테퍼(Stepper)를 이용한 리소그래피 공정을 수행하여 컨택홀을 패터닝한다(도 2(e)). 그런 후, 드라이 에칭을 통해 컨택홀(60)이 형성될 부분의 절연층(40)과 포토 마스크(32)를 제거하면, 도 2(f)와 같이, MTJ 셀 중앙에 컨택홀(60)이 형성된다. 그러면 마지막으로 남아 있는 마스크층(35)을 제거하고(도 2(g)), 그 위에 금속층을(50) 전체적으로 도포하면 도 2(h)와 같은 MTJ 셀이 완성된다.
- [0008] 이러한 MTJ 셀로 구성된 자기 메모리(MRAM)는 소비전력이 낮으면서도 고속으로 데이터를 기록하고 판독할 수 있으며, 더욱이, 무제한으로 데이터를 수정하는 것을 가능하게 한다는 점에서 다른 소자들을 이용하는 메모리와 비교하여 많은 장점을 가지고 있다.
- [0009] 그런데, 이러한 MRAM이 실용성이 있기 위해서는 다른 메모리와 마찬가지로 고집적화가 되어야 한다. MRAM이 고집적화 되기 위해서는 상기 MTJ 셀의 크기가 적어도 100nm급 이하가 되어야 할 필요가 있는데, 현재의 기술로는 100nm 이하의 크기를 갖는 셀을 가공하기 매우 어렵다. 특히, 상기와 같은 종래의 MTJ 셀 형성 방법에 의할 경우, 100nm의 MTJ 셀 내에 100nm 보다 훨씬 더 작은 컨택홀을 형성한 다음 컨택을 형성해야 하기 때문에, 컨택을 형성하기가 대단히 어렵다. 이는 지금까지 100nm 이하의 MTJ 셀 형성을 불가능

하게 하는 원인이 되고 있다. 현재까지 개발된 MTJ 셀의 크기는 400nm X 800nm 정도이므로, 고집적화를 달성하기 위해 요구되는 크기에 비해서는 상당히 큰 편이며, 따라서 아직까지는 자기 메모리의 실용성이 떨어지는 편이다. 더욱이, 상기와 같은 종래의 방법들로 MTJ 셀을 형성할 경우, 컨택홀의 크기가 매우 작아지기 때문에 컨택에서의 저항이 높아지게 되어 데이터의 기록 및 판독 과정에서 오류가 발생할 확률이 높아지고 전력의 소모가 증가되는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

[0010] 따라서, 본 발명은 상기와 같은 종래의 문제점을 개선하기 위한 것이다. 즉, 본 발명은, 본 기술분야에서 요구되는 100nm 이하의 MTJ 셀을 형성할 수 있는 방법을 제공함으로써, 자기 메모리의 고집적화를 가능하게 하기 위한 것이다. 또한, 본 발명은 컨택홀을 형성하지 않고 컨택을 형성함으로써, 셀이 작아짐에 따라 함께 작아지는 컨택홀을 형성하는데 따른 어려움을 피하고 작은 컨택홀로 인한 저항을 낮출 수 있는 나노 크기의 MTJ 셀을 형성하는 방법을 제공하는 것을 목적으로 한다.

[0011] 또한, 본 발명의 또 다른 목적은, 컨택홀을 형성하는데 필요한 공정을 단축시킴으로써 보다 빠르고 저렴한 방법으로 나노 크기의 MTJ 셀을 형성하는 방법을 제공하는 것이다.

발명의 구성 및 작용

[0012] 상기와 같은 목적을 실현하기 위한 본 발명에 따른 컨택홀이 없는 나노 크기의 MTJ 셀을 형성하는 방법은, 반도체 기판(10) 위에 MTJ 층(20)을 적층하는 제 1 단계; 상기 MTJ 층(20)을 소정의 깊이로 식각하여 MTJ 셀 형성 영역을 형성하는 제 2 단계; 상기 MTJ 층(20) 표면 전체에 절연층(40)과 마스크층을 차례로 도포하는 제 3 단계; 상기 MTJ 셀 형성 영역이 드러날 때까지 상기 마스크층과 절연층(40)을 식각하는 제 4 단계; 및 상기 절연층(40)과 MTJ 층(20) 표면 전체에 금속층(50)을 증착하는 제 5 단계를 포함하는 것을 특징으로 한다.

[0013] 이하, 첨부한 도면을 참조로 하여, 본 발명의 실시시에 따른 컨택홀을 형성하지 않고도 자기 메모리(MRAM)의 MTJ 셀을 형성하는 방법을 상세하게 설명하도록 한다.

[0014] 도 3은 본 발명에 따른 MTJ 셀을 도시하는 단면도이다. 도 3에 도시된 본 발명에 따른 MTJ 셀과, 도 2(h)에 도시된 종래의 기술에 따른 MTJ 셀을 비교하면, 종래의 기술에 따른 MTJ 셀에서는 컨택홀(contact hole)(60)을 통해 금속층(50)과 MTJ 소자(20)가 접촉하는 것에 반하여, 본 발명에서는 컨택홀 없이 금속층(50)과 MTJ 소자(20)의 상부가 직접 접촉하고 있음을 알 수 있다. 따라서, 이러한 구성에 따르면, 접촉면이 넓어질 뿐만 아니라 컨택홀을 형성하는데 요구되는 매우 미세한 공정이 필요 없어지게 된다.

[0015] 도 4는 이러한 본 발명에 따른 MTJ 셀의 제조 방법을 순차적으로 도시한다. 도 4에 도시된 바와 같이, 도 4(a)로부터 도 4(d)까지의 과정은 종래의 MTJ 셀 형성 과정과 동일하다. 이 과정에 대해 보다 구체적으로 설명하면 다음과 같다. 먼저, 반도체 기판(10) 위에 MTJ 층(20)을 적층한다. 여기서, 상기 반도체 기판(10)은 Si 또는 SiO₂ 와 같은 재료를 주로 이용하며, MTJ 층(20)의 두께는 400 Å 내지 1500 Å 정도인 것이 적당하다.

[0016] 한편, 설명의 편의를 위해 도 4에서는 상기 MTJ 층(20)을 간단히 하나의 층으로 도시하였지만, 실제로 상기 MTJ 층(20)은 보다 복잡한 구조로 되어 있다. 즉, 도 5에 예시적으로 도시된 바와 같이, 상기 MTJ 층(20)은 베이스층(21) 상에 하부 물질막(22), 절연막(23), 상부 물질막(24), 및 캡(cap)층(25)이 차례로 적층되어 있는 구조를 하고 있다. 하부 물질막(22)은 단일 자성막으로 형성할 수도 있으나, 자성막을 포함하는 복수의 물질막으로 형성하는 것이 바람직하다. 예를 들어, 복수의 물질막 구조로 된 하부 물질막(22)은 탄탈륨(Ta)막, 루테튬(Ru)막, 이리듐/망간(Ir/Mn)막 및 썬세틱 안티페로마그네틱(Synthetic Antiferromagnetic Film)(이하, SAF라 한다)을 순차적으로 적층하여 형성할 수 있다. 이때, 루테튬(Ru)막 대신에 니켈 철(NiFe)막을 사용할 수도 있다. 절연막(23)은 전자 터널링을 위한 것으로, 예를 들어, 알루미늄 산화막(Al₂O₃)으로 형성할 수 있다. 상부 물질막(24) 역시 하부 물질막(22)과 마찬가지로 단일 자성막으로 형성할 수도 있으나, 예를 들어, 코발트 철(CoFe)막과 니켈 철막을 순차적으로 적층하여 형성하는 복수의 물질막 구조로 된 것이 바람직하다. 한편, 캡층(25)은 도전성을 가진 탄탈륨막 또는 루테튬막으로 형성한다. 하부 물질막(22)이 형성되는 베이스층(21) 역시 도전성을 갖는 단층 혹은 복층의 물질막으로 형성할 수 있는데, 복층의 경우, 티타늄(Ti)막과 티타늄 나이트라이드(TiN)막이 순차적으로 적층된 것(Ti/TiN)일 수 있다. MTJ 셀이 완성되면, 상기 베이스층(21)은 메모리의 데이터 라인(도시되지 않음)과 연결되고, 상기 캡층(25)은 금속층(50)을 통해 메모리의 비트 라인(도시되지 않음)과 연결된다.

[0017] MTJ 층(20)이 적층되었으면, 상기 MTJ 층(20)의 일부를 식각하여 MTJ 셀이 형성될 영역(이하, MTJ 셀 형성 영역)을 만들어야 한다. 이때, 상기 MTJ 셀 형성 영역은 본 발명의 목적에 따라 가로 및 세로 폭이 각각 100nm 이하인 것이 바람직하다. 이렇게 미세한 패턴으로 식각하기 위해서는, 일반적으로 식각 선택비가 높은 하드 마스크(hard mask; H.M)(30)를 사용한다. 하드 마스크를 사용하는 또 다른 이유는, MTJ 층(20) 최상부에 있는 캡층(25)의 재료로 사용되는 탄탈륨(Ta)이나 루테튬(Ru) 위에 일반적인 포토 레지스트를 정밀하게 도포하는 것이 어렵기 때문이다. 따라서, MTJ 셀 형성 영역을 형성하기 위해서, 상기 MTJ 층(20) 위에 먼저 하드 마스크(30)를 적층한다. 이러한 하드 마스크로는 일반적으로 SiO₂, Si₃N₄, 불소 실리케이트 유리(fluorinated silicate glass; FSG), PSG(Phosphors Silicate Glass), 또는 BPSG(Boron Phosphors Silicate Glass)가 사용된다. 한편, 하드 마스크의 두께는 MTJ 층(20)의 두께에 따라 적절히 선택되는데, 1000 Å 내지 8000 Å 정도인 것이 적당하다.

[0018] MTJ 층(20) 위에 하드 마스크(30)가 도포된 다음에는, 상기 하드 마스크(30) 위에 MTJ 셀 형성 영역의 크기 및 패턴에 맞게 포토 레지스트(32)(또는, 전자빔 레지스트)를 도포한다. 도 4(a)는 포토 레지스트(32)가 하드 마스크(30) 위에 도포된 상태를 도시하고 있다. 그런 후, 상기 포토 레지스트(32) 패턴을 마스크로 하여 상기 포토 레지스트(32)가 도포된 부분을 제외한 하드 마스크(30) 부분을 드라이 에칭을 통해 식각함으로써 하드 마스크 패턴을 형성하고 포토 레지스트(32) 패턴은 제거한다. 즉, 도 4(b)에 도시된 바와 같이, 드라이 에칭 과정을 통해 포토 레지스트(32)는 제거되고, 포토 레지스트(32)의 패턴이 그대로 하드

마스크(30)에 전사된다. 이때, 상기 드라이 에칭은, 주로 불소(fluorine) 계열의 식각가스가 사용된다. 예컨대, C_2F_6 , C_4F_8 , CHF_3 등의 가스를 식각가스로서 사용한다.

[0019] 그런 다음, 도 4(c)에 도시된 바와 같이, 다시 상기 하드 마스크(30) 패턴을 마스크로 하여 상기 하드 마스크(30)가 도포된 부분을 제외한 MTJ 층(20)을 드라이 에칭 방법으로 식각함으로써 MTJ 셀 형성 영역을 형성하게 된다. 이때, 드라이 에칭 과정에서 MTJ 층(20)을 모두 식각해내지는 않으며, MTJ 층(20)의 베이스층(21)이 드러나는 깊이까지만 식각한다. 즉, 베이스층(21)의 성분인 Ti 이나 TiN 등이 검출되면 드라이 에칭을 중지한다. 베이스층(21)은, 나중에 자기 메모리(MRAM)가 완성되었을 때, MTJ 셀 아래에서 MTJ 셀을 제어하는 CMOS(도시되지 않음) 및 데이터 라인(도시되지 않음)과 연결되는 도전선 역할을 한다. 이 과정에서 MTJ 셀 형성 영역 위에 하드 마스크(30)가 조금 남아 있더라도 무방하다.

[0020] MTJ 층(20)을 식각하여 MTJ 셀 형성 영역을 형성하는 보다 상세한 방법은, 2003년 1월 28일에 본 출원인에 의해 이미 출원된 "자기 램의 자기 터널 접합층 형성 방법"(출원번호: 10-2003-0005484)에 상세히 기재되어 있다. 즉, 캡층(25), 상부 물질막(24), 절연막(23) 및 하부 물질막(22)은 소정의 플라즈마 식각 공정을 이용하여 순차적으로 식각된다. 이 과정에서 식각되는 물질막에 따라 식각 조건을 다르게 해야 하는데, 이는 식각가스로 사용되는 혼합가스의 혼합비와 기판에 인가되는 바이어스 파워(bias power)를 각각 독립적으로 조절함으로써 가능하다. 이때, 혼합된 식각가스는 염소가스(Cl_2)가 배제된 것으로 주 가스와 첨가가스가 소정의 비율로 혼합된 것을 사용한다. 상기 주 가스로 예를 들면 삼 염화 붕소(BCl_3)를 사용한다. 그리고 상기 첨가가스로 예를 들면 아르곤(Ar)을 사용한다.

[0021] 이렇게 MTJ 셀 형성 영역이 형성되었으면, 도 4(d)에 도시된 바와 같이, 플라즈마 화학증착(PECVD) 또는 마그네트론 스퍼터링(Magnetron sputtering) 방법을 이용하여 MTJ 층(20)의 표면 전체에 걸쳐서, 예컨대, SiO_2 이나 Si_3N_4 로 구성된 절연층(40)을 증착한다. 절연층(40)은, 나중에 금속층(50)이 최종적으로 증착되었을 때, 상기 금속층(50)이 캡층(25)과만 전기적으로 연결되고 다른 부분과의 전기적 접촉은 차단되도록 하는 역할을 한다. 따라서, 상기 MTJ 층(20) 위에 도포된 절연층(40) 중에서 상기 MTJ 셀 형성 영역 이외의 부분에도 도포된 절연층(40)(즉, MTJ 층(20)의 베이스층(21) 위에 도포된 절연층(40)) 부분의 높이(즉, 도 4(d)에서 절연층(40)의 가장 낮은 부분의 높이)는 적어도 MTJ 셀 형성 영역 내의 캡층(25)의 높이보다 높아야 한다.

[0022] 그런 후, 도 4(e)에 도시된 바와 같이, 상기 증착된 절연층(40) 표면 위에 마스크층(35)을 전체적으로 도포한다. 이후의 드라이 에칭을 위해, 마스크층(35)은 폴리마이드(polymide)와 같은 포토 레지스트나 전자빔 레지스트(e-beam resist)로 구성된다. 또한, 상기 마스크층(35)은, 도 4(e)에 도시된 바와 같이, 이후의 에칭 과정에서의 필요에 따라, 상부 표면의 높이가 실질적으로 균일하게 되도록 도포되는 것이 좋다.

[0023] 절연층(40)과 마스크층(35)이 형성되었으면, 도 4(f)에 도시된 바와 같이, 드라이 에칭을 통해 상기 마스크층(35)과 절연층(40)을 동일한 식각 속도로 식각한다. 즉, 서로 다른 종류의 박막들에 대한 식각 속도의 상대적인 비를 말하는 식각 선택비(Etching Selectivity)가 본 발명에서의 상기 마스크층(35)과 절연층(40)의 경우에는 1:10이 된다. 마스크층(35)과 절연층(40)을 이렇게 동일한 식각 속도로 식각하기 위해서는 드라이 에칭시 식각가스가 적절히 선택히 선택되어야 한다. 절연층이 SiO_2 이나 Si_3N_4 인 경우, 일반적으로 C_2F_6 나 C_4F_8 을 주(主) 가스로서 사용하고, Ar 이나 O_2 를 첨가가스로서 사용한다. 상기 드라이 에칭은 MTJ 층(20)의 최상층인 캡층(25)에서 중지한다. 즉, 에칭 도중에 캡층(25)의 성분인 탄탈륨(Ta) 또는 루테늄(Ru)이 검출되면 에칭을 중지한다.

[0024] 상기 드라이 에칭 작업이 종료된 후에는, 이후의 금속층(50)의 증착을 위하여, 상기 식각된 표면 위에 남아있는 마스크층(35)의 잔여 성분을 드라이 에칭 방법이나 유기크리닝 방법을 이용하여 제거한다. 이때의 드라이 에칭이나 유기크리닝 방법은 포토 레지스트나 전자빔 레지스트와 같은 마스크층(35)의 성분만을 제거하고 절연층(40) 및 MTJ 층(20)에는 영향을 주지 말아야 한다. 마스크층(35)은 통상 C, H, O 등의 원자들로 구성되어 있는 폴리머이므로, 에싱(Ashing) 장비 내에서 주로 산소(Oxygen) 가스를 사용하여 CO, CO_2 등의 휘발성 반응생성물의 생성을 통해 제거된다. 본 발명에서, 상기 마스크층(35)과 절연층(40)이 동일한 식각 속도로 식각되기 때문에, 식각이 종료된 후에는, 도 4(g)에 도시된 바와 같이, 절연층(40)과 MTJ 층(20)이 모두 같은 높이로 편평하게 된다.

[0025] 이제, 마지막으로, 상기 절연층(40)과 MTJ 층(20) 위에 스퍼터링 방법을 이용하여 금속층을 증착한다. 이때, 사용되는 금속으로는 Ti, TiN, Ta 또는 Al 등과 같은 금속을 들 수 있다. 도 4(h)는 이러한 과정을 통해 완성된 본 발명에 따른 최종적인 MTJ 셀을 도시한다. 도시된 바와 같이, 본 발명에서는 컨택홀을 형성하지 않고 MTJ 층(20)의 캡층(25)과 금속층(50) 사이에 비교적 넓은 컨택이 형성된다.

발명의 효과

[0026] 지금까지 본 발명의 구성 및 원리에 대해 상세히 설명하였다. 상술한 설명을 통해 알 수 있듯이, 본 발명에 따르면, 컨택홀을 통해 컨택을 형성하던 종래의 방법으로는 불가능했던, 100nm 급의 MTJ 셀의 제조가 가능하게 되었다. 또한, 컨택홀이 없기 때문에 비교적 넓은 컨택을 형성할 수 있어 컨택의 저항이 비교적 낮아진다는 장점이 있다. 더욱이, 종래에 컨택홀의 형성을 위해서 추가적으로 요구되던 리소그래피 고정과 드라이 에칭 공정이 본 발명에서는 단축되고, 전반적으로 공정의 제어가 용이하기 때문에, MTJ 셀의 제조 시간 및 비용을 저감시킬 수 있다.

[0027] 그 결과, 본 발명에 따르면, 실용성 있는 고집적의 자기 메모리를 보다 저렴하게 제공할 수 있게 된다.

청구의 범위

청구항 1

기판 위에 MTJ 층을 적층하는 제 1 단계;

상기 MTJ 층을 패터닝하여 MTJ 셀 형성 영역을 형성하는 제 2 단계;

상기 MTJ 층 표면 전체에 절연층과 마스크층을 차례로 도포하는 제 3 단계;

상기 마스크층과 절연층을 동일한 속도로 식각하여 상기 MTJ 셀 형성 영역의 상면을 노출시키는 제 4 단계; 및

상기 절연층과 MTJ 층 표면 전체에 금속층을 증착하는 제 5 단계를 포함하는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 2

제 1 항에 있어서,

상기 기판은 Si 기판이며, 그 표면에 SiO₂ 박막이 형성된 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 3

제 1 항에 있어서,

상기 MTJ 층은 도전성을 갖는 베이스층, 자성을 갖는 하부 물질막, 절연막, 자성을 갖는 상부 물질막 및 도전성을 갖는 캡층이 차례로 적층되어 있는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 4

제 3 항에 있어서,

상기 절연막은 알루미늄 산화막(Al₂O₃)을 포함하는 재료로 형성되는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 5

제 1 항 또는 제 3 항에 있어서,

상기 MTJ 층을 패터닝하여 MTJ 셀 형성 영역을 형성하는 제 2 단계는:

상기 MTJ 층 위에 하드 마스크를 증착하는 단계;

제 1 드라이 에칭을 통해 상기 하드 마스크를 패터닝하는 단계; 및

제 2 드라이 에칭을 통해 상기 하드 마스크가 남아있는 영역을 제외한 MTJ 층을 소정의 깊이로 식각하여 MTJ 셀 형성 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 6

제 5 항에 있어서,

상기 하드 마스크를 패터닝하는 단계는,

상기 하드 마스크 위에 MTJ 셀 형성 영역의 크기로 포토 레지스트를 도포하는 단계; 및

제 1 드라이 에칭을 통해 상기 포토 레지스트가 도포된 부분을 제외하고 상기 하드 마스크를 식각하는 단계를 포함하는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 7

제 6 항에 있어서,

상기 하드 마스크는 SiO₂, Si₃N₄, 불소 실리케이트 유리(FSG), PSG(Phosphors Silicate Glass) 또는 BPSG(Boron Phosphors Silicate Glass) 중 적어도 하나를 포함하는 재료로 구성된 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 8

제 6 항에 있어서,

상기 제 1 드라이 에칭은, C₂F₆, C₄F₈, 또는 CHF₃ 중 적어도 하나를 포함하는 불소(fluorine) 계열의 가스를 식각가스로서 사용하는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 9

제 5 항에 있어서,

상기 MTJ 층은 베이스층이 드러나는 깊이까지 식각되는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 10

제 5 항에 있어서,

상기 제 2 드라이 에칭은, 주 가스로서 삼 염화 붕소(BCl₃)를 사용하고 첨가가스로서 아르곤(Ar)을 사용하

는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 11

제 5 항에 있어서,

상기 MTJ 셀 형성 영역의 가로 및 세로의 폭은 각각 100nm 이하인 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 12

제 5 항에 있어서,

상기 하드 마스크의 두께는 1000 Å 내지 8000 Å의 범위에 있는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 13

제 5 항에 있어서,

상기 MTJ 층의 두께는 400 Å 내지 1500 Å의 범위에 있는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 14

제 1 항 또는 제 3 항에 있어서,

상기 MTJ 층 위에 도포된 절연층 중에서 상기 MTJ 셀 형성 영역 이외의 부분에 도포된 절연층 부분의 높이는 적어도 상기 MTJ 층 내부의 캡층의 높이 보다 높은 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 15

제 14 항에 있어서,

상기 절연층은 플라즈마 화학증착(PECVD) 또는 마그네트론 스퍼터링 중 어느 하나의 방법으로 증착되는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 16

제 14 항에 있어서,

상기 절연층은 SiO₂ 또는 Si₃N₄ 로 형성되는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 17

제 14 항에 있어서,

상기 절연층 위에 도포되는 마스크층은, 상부 표면의 높이가 실질적으로 균일하게 되도록 도포되는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 18

제 17 항에 있어서,

상기 마스크층은, 포토 레지스트, 전자빔 레지스트(e-beam resist) 또는 폴리마이드(polymide)로 형성되는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 19

제 1 항에 있어서,

상기 마스크층과 절연층을 식각하는 제 4 단계는:

제 3 드라이 에칭을 통해 상기 마스크층과 절연층을 동일한 식각 속도로 식각하는 단계;

상기 MTJ 셀 형성 영역이 드러나면 상기 제 3 드라이 에칭을 중지하는 단계; 및

남아있는 마스크층 성분을 제거하는 단계를 포함하는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 20

제 19 항에 있어서,

상기 MTJ 층 중 캡층을 이루는 금속 성분이 상기 제 3 드라이 에칭 도중 검출되면 에칭을 중지하는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 21

제 19 항에 있어서,

상기 제 3 드라이 에칭은, 상기 절연층과 마스크층을 동일한 속도로 식각하기 위하여, C₂F₆ 또는 C₄F₈ 중 적어도 하나를 주(主) 가스로서 사용하고, Ar 또는 O₂ 중 적어도 하나를 첨가가스로서 사용하는 것을 특징

으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 22

제 19 항에 있어서,

상기 남아있는 마스크층 성분을 제거하는 단계는, 산소 가스를 사용하여 휘발성 반응생성물을 생성시킴으로써 마스크층 성분을 제거하는 에칭 방법을 통해 수행되는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

청구항 23

제 1 항에 있어서,

상기 금속층은 Ti, TiN, Ta, Al 으로 구성된 그룹에서 선택된 적어도 하나의 금속을 포함하는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

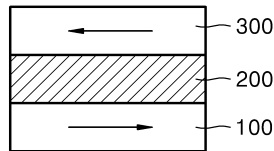
청구항 24

제 23 항에 있어서,

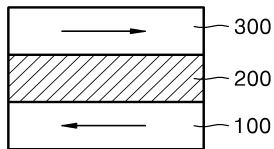
상기 금속층은 스퍼터링 방법으로 증착되는 것을 특징으로 하는 컨택홀이 없는 MTJ 셀 형성 방법.

도면

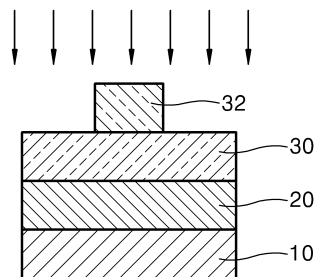
도면1a



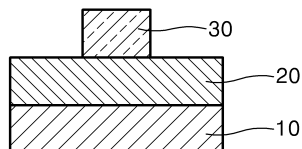
도면1b



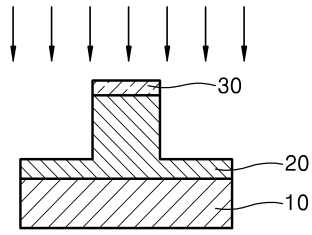
도면2a



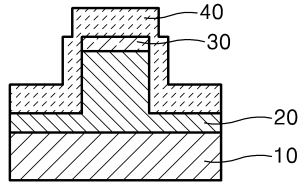
도면2b



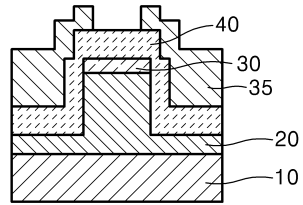
도면2c



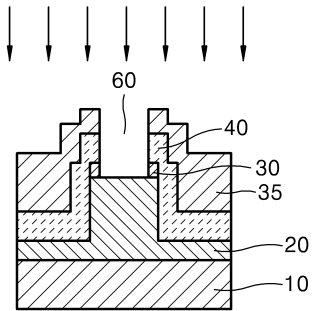
도면2d



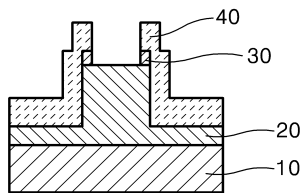
도면2e



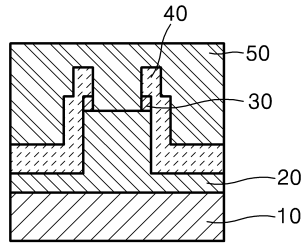
도면2f



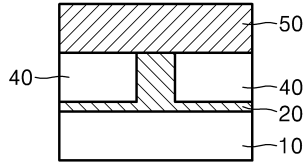
도면2g



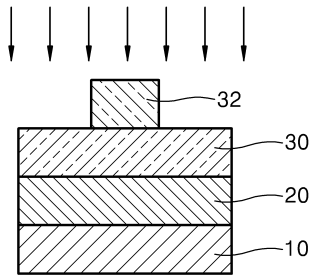
도면2h



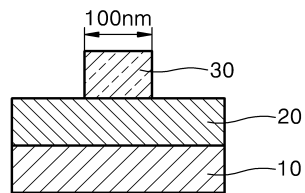
도면3



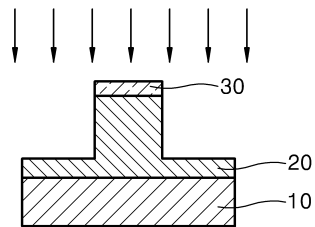
도면4a



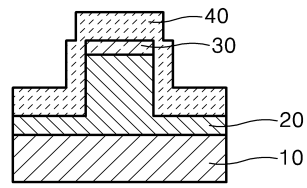
도면4b



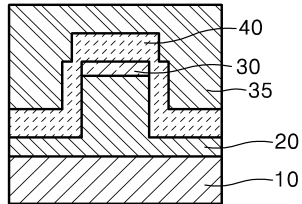
도면4c



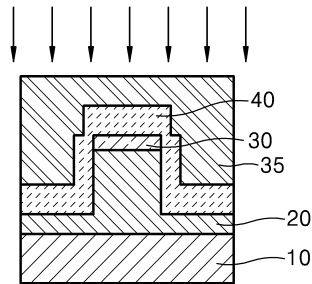
도면4d



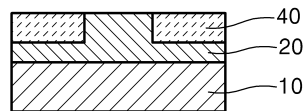
도면4e



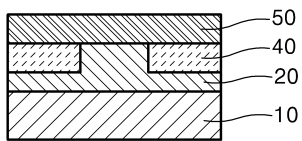
도면4f



도면4g



도면4h



도면5

25	Ta(Ru)
24	NiFe
	CoFe
23	Al-O
22	SAF
	IrMn
	Ru or NiFe
	Ta
21	Ti/TiN